

DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

02464658 **Image available**
MULTI-CPU CONTROLLING SYSTEM

PUB. NO.: 63-081558 [JP 63081558 A]
PUBLISHED: April 12, 1988 (19880412)
INVENTOR(s): SANADA TSUTOMU
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 61-226736 [JP 86226736]
FILED: September 25, 1986 (19860925)

ABSTRACT

PURPOSE: To attain the flexible applications by providing a mode control register and changing the connection system of two microprocessors programmably so as to effectively utilize the performance of the processors.

CONSTITUTION: The mode control register 4 is constituted to be accessed from both the processors 1, 6 and when the operating system is operated on the processor of a CPU 1, a CPU 2 acts like a sub-processor, a local memory 8 is used to control a screen control section 9, and the information of the CPU1(1) and CPU2(6) is converted by a common memory 3. The mode control register 4 is accessed by the program of the CPU1 to change the mode, then a driver/ receiver 5 is made ineffective, a driver/receiver 11 is made effective, a bus 7 of the CPU2 is connected to the system 12 and the CPU2(6) accesses a main memory 13 and an input/output device 14. In this mode, the CPU1(1) is inoperative and the control of the entire system is executed by the CPU2(6).

BEST AVAILABLE COPY

⑪ 公開特許公報 (A) 昭63-81558

⑫ Int.Cl.¹
G 06 F 15/16識別記号 420
400府内整理番号 2116-5B
2116-5B

⑬ 公開 昭和63年(1988)4月12日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 マルチCPU制御方式

⑮ 特開 昭61-226736

⑯ 出願 昭61(1986)9月25日

⑰ 発明者 真田 勉 東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場
内

⑱ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑲ 代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

マルチCPU制御方式

2. 特許請求の範囲

それぞれが独立したバスを持つマイクロプロセッサと、上記バス間に接続され、上記マイクロプロセッサ間の情報変換を行なうときにその交信情報が格納されるコモンメモリと、上記両マイクロプロセッサによりアクセスされ、その動作モードが設定されるモード制御レジスタと、上記バスとはそれぞれドライバ／レシーバを介して接続され、主メモリ、入出力デバイスが共通接続されるシステムバスとからなり、上記モード制御レジスタに設定された内容に従がいいずれか一方のドライバ／レシーバを有効としシステムバスに接続されたマイクロプロセッサを機能させることを特徴とするマルチCPU制御方式。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明はマイクロプロセッサが持つ性能を有効に使用することの出来るマルチCPU制御方式に関する。

(従来の技術)

従来、機能分散の観点より複数のマイクロプロセッサを用いシステム性能を向上させる方式がいくつかある。その多くは1つがメインプロセッサとして動作、他の1つはサブプロセッサとして、例えば画面制御等、専用プロセッサとして機能するものである。

具体的にグラフィックシステムを例示しよう。この様なシステムにてグラフィックデータを表示する場合、そのドットパターンデータをメモリに展開し端末へ転送する必要がある。従って、主プロセッサとグラフィックプロセッサを独立させ、両者間をグラフィックコマンドの受け渡しを行なうコモンメモリで仲介させる機能分散アーキテクチャを探っている。

(発明が解決しようとする問題点)

近年、半導体技術の進歩に伴ないマイクロプロ

BEST AVAILABLE COPY

ロセッサの性能も格段に向かっているにもかかわらず、上記機能分散システムにおいては、メインとなるプロセッサは別として、サブとなるプロセッサが持つ性能を充分に生かしているとは言い難く、又、柔軟性のある使い方が出来なかった。

本発明は上記事情に鑑みてなされたものであり、プロセッサが持つ性能を有効に活用しつつ、柔軟性のある使用法を実現するマルチCPU制御方式を提供することを目的とする。

【発明の構成】

(問題点を解決するための手段)

本発明は2つのマイクロプロセッサの接続方式をプログラマブルに変え、マイクロプロセッサが持つ性能を有効に利用すると共に、システムの機能拡張を容易に実現するものである。

このため、従来この種システムが持つコンポーネントに更にシステムに接続されるマイクロプロセッサによりアクセスがなされ、その動作モードが設定されるモード制御レジスタを付加し、更に、マイクロプロセッサが持つそれぞれのバスとはド

カティビスをアクセス出来る。

尚、モード制御レジスタはシステムに接続される全てのマイクロプロセッサによってもアクセスすることが出来、両モードをプログラマブルに切替える。

本発明方式によりシステムに異なるマイクロプロセッサが接続されていた場合には1システムにて複数のオペレーティングシステムを動作させることが出来る。

(実施例)

以下、図面を使用して本発明実施例について詳細に説明する。

第1図は本発明の実施例を示すブロック図である。参考のため、第2図に従来例も示されており、同一番号が付されたブロックは第1図のそれと同じものとする。図において1はプロセッサ(CPU1)、2、7はそのバス、3はプロセッサ1と、プロセッサ(CPU2)6とのメイルボックスとなるコモンメモリである。4は本発明により付加されるモード制御レジスタであり、プロセッサ1、

ライバ/レシーバを介してシステムバスを接続することによりモード制御レジスタに設定された内容に従がいいずれか一方のライバ/レシーバを有効とし、いずれか一方のマイクロプロセッサをメインとして機能させる構成としたものである。

(作用)

上記構成においても、モード制御レジスタは初期状態のとき、いずれか一方のマイクロプロセッサのモードとなっており、従って、そのマイクロプロセッサが持つバスに接続されたライバ/レシーバを有効とし、システムバスに接続された主メモリ及び入出力カティビスをアクセスすることが出来る。このとき、他方のCPUはサブプロセッサとして動作し、自身で持つローカルメモリを用い、例えば画面制御を行なう。一方上記マイクロプロセッサがモード制御レジスタをアクセスし、モード変更を行なうと、他方のライバ/レシーバが有効となって、先にサブプロセッサとして機能していたマイクロプロセッサがシステムバスと接続され、このバスに接続される主メモリ、入出

力カティビスをアクセスできる構成となっている。5はCPU1のバス2のライバ/レシーバ(D/R)である。6は他方のプロセッサ(CPU2)であり、7はそのバス、8はCPU2用のローカルメモリである。9、10はそれぞれ画面制御部と表示装置(CRT)である。11はCPU2が持つバス7のライバ/レシーバ(D/R)である。12はシステムバスであり、主メモリ13入出力装置14が接続される。

以下、従来例と対比しながら本発明実施例の動作について詳細に説明する。

従来は第2図に示すようにCPU1はメインプロセッサとして動作し、オペレーティングシステム(OS)箱のCPU1上で動作する。CPU1の負荷を軽減するために、例えば画面制御などは専用サブプロセッサCPU2(6)に任せ、その間の情報はコモンメモリ5で行なわれていた。近年、半導体技術の進歩よりマイクロプロセッサが持つ性能は格段に向かしたが、従来の方式ではサブプロセッサ6は画面制御など専用プロセッサの

ろに従事し、性能は生かしきっていなかったことは上述したとおりである。

第1図は本発明実施例である初期状態のとき、モード制御レジスタ4はCPU1モードとなっており、このモードではドライバ/レシーバ5が有効となり、CPU1のバス2がシステムバス12と接続されてCPU1が主メモリ13入出力14をアクセスする事ができる。

即ち、OSはCPU1のプロセッサ上にて動作する。そのとき、CPU2はサブプロセッサとして動作しローカルメモリ8を使って画面制御部9をコントロールする。CPU1(1)とCPU2(6)の情報はコモンメモリ3によって変換される。CPU1上のプログラムにより、モード制御レジスタ4をアクセスし、モードを変更すると、ドライバ/レシーバ5は無効となる。そのかわりにドライバ/レシーバ11が有効となり、CPU2が持つバス7がシステムバス12と接続されて、CPU2(6)が主メモリ13入出力14をアクセスできるようになる。このモードではCPU1

(1)は動かせず全てのシステムの制御はCPU2(6)によって行なわれる。モード制御レジスタ4はCPU2(6)によってもアクセスする事ができ、両モードをプログラマブルに切り替えることができる。

尚、本発明方式により、CPU1とCPU2が異なるタイプのマイクロプロセッサで構成されるならば、1システムで2つのOSを動作させることもできる。

【発明の効果】

以上説明の様に本発明方式に従えば、モード1に申し、CPU1をメインプロセッサに、CPU2をサブプロセッサとして動作させる機能分散モードとし、一方、モード2に申し、CPU2のみメインプロセッサとして働くモードとすることにより、もし、CPU1とCPU2が異なるタイプのマイクロプロセッサで構成されるならば、2つの異なるOSを1つのシステムで動作させることができる。このように機能分散をはからてシステム性能の向上をねらいながらモードを切替えることにより2つのOSを動かすといった柔軟性のある使い方が可能となる。

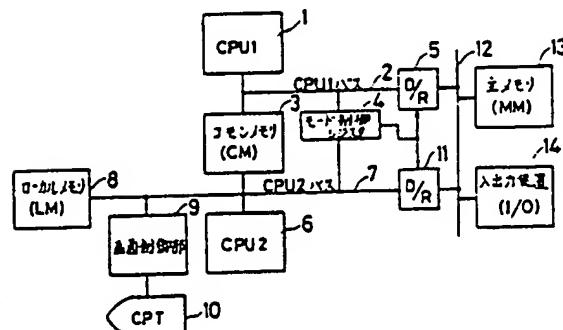
4. 図面の簡単な説明

第1図は本発明の実施例を示すブロック図、第2図は従来例を示すブロック図である。

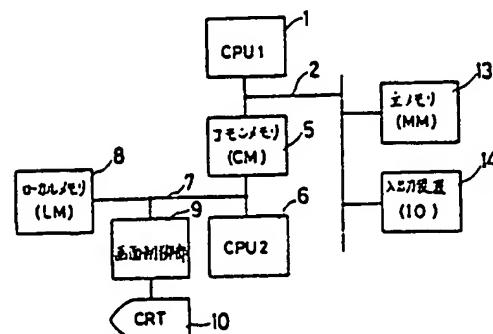
1, 6…プロセッサ(CPU)、2, 7…CPUバス、3…コモンメモリ、4…モード制御レジスタ、8…ローカルメモリ、5, 11…ドライバ/レシーバ、12…システムバス。

出版人代理人 弁理士 鈴江武彦

BEST AVAILABLE COPY



第1図



第2図